

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-256108

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

G06F 12/08
G06F 12/06
G06F 12/10
G06F 15/78

(21)Application number : 2000-065934 (71)Applicant : MITSUBISHI ELECTRIC CORP

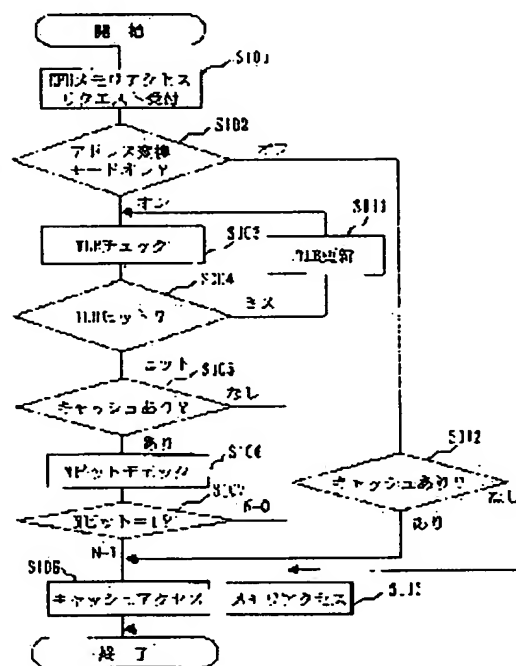
(22)Date of filing : 10.03.2000 (72)Inventor : IWASAKI YASUO

(54) MICROPROCESSOR WITH BUILT-IN MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To perform the separate use of a memory and a cache memory suppressing the decline of an operation speed in a microprocessor for using a built-in memory and a built-in cache memory together.

SOLUTION: This microprocessor incorporating both memory and cache memory is provided with an address conversion buffer for allocating the using area of the memory and a constitution information register for managing the attributes of the memory after address conversion by the address conversion buffer for the respective kinds of the memory. The address of the memory is dynamically used on the basis of the address conversion buffer, an actual address is recognized from the address conversion buffer at the time of the operation execution of the microprocessor, the attribute of the corresponding memory is checked and whether to directly hit the memory or to hit the cache memory is decided corresponding to the attribute.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-256108

(P2001-256108A)

(43) 公開日 平成13年9月21日 (2001.9.21)

(51) Int. Cl. ⁷	識別記号	F I	特許出願公開番号
G 0 6 F 12/08		G 0 6 F 12/08	P 5 B 0 0 5
			W 5 B 0 6 0
12/06	5 2 2	12/06	5 2 2 A 5 B 0 6 2
12/10		12/10	A
15/78	5 1 0	15/78	5 1 0 A

審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願2000-65934 (P2000-65934)

(22) 出願日 平成12年3月10日 (2000.3.10)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岩崎 保男

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100099461

弁理士 清井 幸司 (外2名)

Fターム(参考) 5B005 JJ13 5B02 5B03 5B05 5B12

5B25 5B16 5B23 5B41

5B06D AA12 AA15 AC10 CA03 5B02

5B03

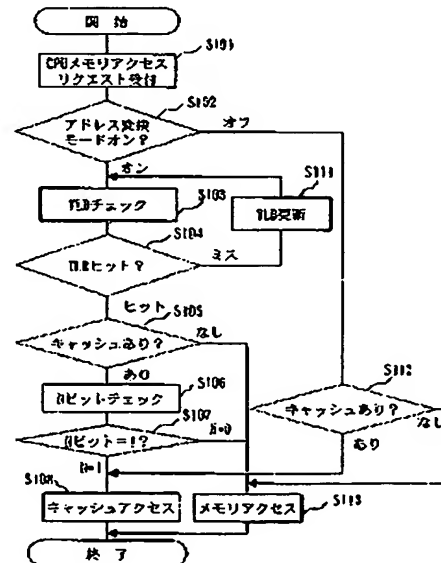
5B06Z AA03 CC01 DD01 DD02 DD05

(54) 【発明の名称】 メモリ内蔵マイクロプロセッサ

(57) 【要約】

【課題】 内蔵メモリと内蔵キャッシュメモリを併用するマイクロプロセッサにおいて、演算速度の低下を抑えたメモリとキャッシュメモリの使い分けを行おうとする。

【解決手段】 メモリとキャッシュメモリを共に内蔵するマイクロプロセッサにおいて、メモリの使用領域を割り当てるアドレス変換バッファと、アドレス変換バッファによるアドレス変換後のメモリの属性をメモリの恒常的に管理する構成情報レジスタとを備えて、メモリのアドレスをアドレス変換バッファに基づいて動的に使用し、マイクロプロセッサの演算実行時にアドレス変換バッファから実アドレスを知り、対応するメモリの属性を調べて、属性対応でメモリを直接ヒットするか、またはキャッシュメモリをヒットするかを決めるようにした。



特開2001-256108

(2)

1

【特許請求の範囲】

【請求項1】 メモリとキャッシュメモリを共に内蔵するマイクロプロセッサにおいて、上記メモリの使用領域を割り当てるアドレス変換バッファと、

上記アドレス変換バッファによるアドレス変換後の上記メモリの属性をメモリの種類毎に管理する構成情報レジスタとを備えて、

上記メモリのアドレスを上記アドレス変換バッファに基づいて動的に使用し、上記マイクロプロセッサの演算実行時に上記アドレス変換バッファから実アドレスを知り、対応する上記メモリの属性を調べて、該属性対応でメモリを直接ヒットするか、またはキャッシュメモリをヒットするかを決めるようにしたことを特徴とするメモリ内蔵マイクロプロセッサ。

【請求項2】 アドレス変換バッファをミス・ヒットした場合は、該、ミスヒットしたアドレスの属性を調べて、所定の低速メモリである場合はキャッシュに登録するようにしたことを特徴とする請求項1記載のメモリ内蔵マイクロプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリとキャッシュメモリを共に持つ、演算速度を向上したメモリ内蔵マイクロプロセッサに関するものである。

【0002】

【従来の技術】 マイクロプロセッサが専用の内蔵メモリを使用して演算速度を高めた構成が、メモリ内蔵マイクロプロセッサとして知られている。しかしその場合の典型的な内蔵メモリの構成は、メモリアドレスの割り当てが一意に定められている。このためメモリの使用に制限が生じ、使用目的によってはメモリのアドレス構成が不適当であり、メモリの使用領域を定めるためにアドレスを再割り当てする必要があるため、使用上の柔軟性が欠ける嫌があった。

【0003】 外部メモリに関してこの不具合を改善した方式として、図5に示される特開平11-272600号公報に示されるものがある。図5(a)がその構成図で、これはメモリのアドレス領域のマッピングを行うデコード回路の代わりに、アドレスマッピングを任意に設定できるマッピング設定レジスタを設けて、アドレス空間の割当、システム構成の変更を行うようにしたものである。図5(a)、(b)はその動作を説明する図で、例えばあるシステムAでは(a)のアドレスマッピングとしていて、各メモリは図のアドレスを設定されている。ところが別のシステムBで(b)のマッピングが必要になった場合、マッピング設定レジスタ909が各メモリに対して(b)から(a)への変換を設定しておけば、各メモリが(a)のアドレスを設定されていても、別のシステムBにおいてそのアドレス図5(b)が実ア

2

ドレスでは(a)に変換されて実行されることになる。こうしてメモリアドレスに対するフレキシビリティが得られる。

【0004】 メモリ領域を解度自由に割り当てること以外に、プロセッサの演算速度を落とさない工夫も重要である。メモリからの読み出し速度を上げるためにキャッシュメモリを使用することがよく知られている。しかしキャッシュメモリは容量が限られており、その有効利用に言及したものはない。

【0005】

【発明が解決しようとする課題】 従来のメモリの領域設定は上記のようになされており、単にシステムの実行に基いて主メモリの領域割当を変更するのみで、マイクロプロセッサの実行演算速度を考慮した割当はなされず、演算速度が低下する場合があるという課題があった。

【0006】 この発明は上記の課題を解決するためになされたもので、内蔵メモリと内蔵キャッシュメモリを併用するマイクロプロセッサにおいて、演算速度の低下を抑えたメモリとキャッシュメモリの使い分けを行おうとする。

【0007】

【課題を解決するための手段】 この発明に係るメモリ内蔵マイクロプロセッサは、メモリとキャッシュメモリを共に内蔵するマイクロプロセッサにおいて、メモリの使用領域を割り当てるアドレス変換バッファと、アドレス変換バッファによるアドレス変換後のメモリの属性をメモリの種類毎に管理する構成情報レジスタとを備えて、メモリのアドレスをアドレス変換バッファに基づいて動的に使用し、マイクロプロセッサの演算実行時にアドレス変換バッファから実アドレスを知り、対応するメモリの属性を調べて、属性対応でメモリを直接ヒットするか、またはキャッシュメモリをヒットするかを決めるようにした。

【0008】 また更に、アドレス変換バッファをミス・ヒットした場合は、ミスヒットしたアドレスの属性を調べて、所定の低速メモリである場合はキャッシュに登録するようにした。

【0009】

【発明の実施の形態】 実施の形態1. アドレス変換レジスタを設け、メモリの属性を管理してメモリ内蔵プロセッサの速度低下を抑えた本発明の実施の形態を説明する。図1は本実施の形態におけるメモリ内蔵プロセッサの構成を示す図である。図において、1はCPU(プロセッサ)、2は命令キャッシュ(メモリ)ユニット、3はデータキャッシュ(メモリ)ユニット、4は本発明で重要な要素であるメモリ管理ユニットである。メモリ管理ユニット4は、その中に5のアドレス変換バッファ、本実施の形態の場合は仮想アドレス機構としてのTLB(Table Look-up Buffer)と、6の内蔵メモリのアクセ

(3)

特開2001-256108

3

ス速度等を属性として管理するメモリ構成情報レジスタと、7のTLB5とCPU1のいずれのアドレスかを選択するアドレスセレクタを持つ。8はプロセッサに内蔵されるメモリで、SRAM、DRAM、フラッシュメモリ等の各種のメモリがシステムにより使い分けられる。9は外部デバイスとのインタフェースを行うバスインタフェースユニットで、10はプロセッサ・バス、11はメモリ・バス、12はアドレスデコード制御信号線、13は各種のメモリを選択するチップセレクト信号線、14はマイクロプロセッサと外部メモリやI/Oを接続する拡張バスである。

【0010】図2はマイクロプロセッサの動作を示すフロー図で、図3はTLB更新動作を示すフロー図である。また図4はメモリ構成情報レジスタ6の詳細とTLBへのエントリ動作を説明する図である。これらの図に基づいて動作を説明する。電源が投入されると、CPU1は外部の初期化プログラム格納ROM16をアクセスし、その読み込まれた初期化プログラムによってシステムの初期化が行われる。初期化の過程で、メモリ構成情報レジスタ6は外部のメモリ構成情報格納ROM15から得られ、メモリ構成情報レジスタ6に記憶される。

【0011】この初期状態からCPU1がメモリアクセスを要する命令をデコードすると、メモリ管理ユニット4にアクセスリクエストが生成される。こうして図2のステップ（以後ステップの記述省略する）S101でメモリ管理ユニット4ではそのリクエストを受け付けると、S102でまずアドレス変換モードのステータスをチェックする。アドレス変換モードが有効となっているときはS103で、アクセスリクエストと共に受け取ったアドレスは仮想空間アドレスであり、そのアドレスがTLB5に登録されているか否かをチェックする。そして、アドレスが既にTLB5に登録されていれば、S104その仮想アドレスに対応する実アドレスをTLB5から引き出し次のステップへ送出する。本実施の形態におけるメモリ内蔵マイクロプロセッサでは、このアドレス変換時に例えば仮想アドレスが内蔵メモリである高速SRAMへ割り当てられている場合にはその仮想アドレスに対するアクセスはキャッシュメモリをバイパスして直接高速SRAMへ送出し、低速DRAMへ割り当てられている場合には仮想アドレスに呼び出す。

【0012】即ち、TLBの中にNビットと呼ぶキャッシュ登録可否情報を保持し、S106でTLBヒットした仮想アドレスに割り当てられている領域がキャッシュに登録されるものか否かをこのNビットによって判定する。システムがキャッシュメモリを使用し、かつキャッシュモードが有効の時には、S107でTLB中のNビットが1ならばそのアクセスリクエストをキャッシュメモリへ送出し、S108でキャッシュをアクセスする。またS107でNビットが0ならば、S113で内蔵メモリもしくは外部メモリをアクセスする。

4

【0013】また、アドレス変換モードが有効時にCPU1から受け取った仮想アドレスがTLB5に存在せずTLBミスを発生した場合には、図3に示すフローでその仮想アドレスに対応する新しいアドレス変換情報を登録する。その際に、オペレーティングシステムなどのシステムを制御するソフトウェアはS121でメモリ構成情報レジスタ6を参照し、S122でそのメモリ属性情報によって新しい仮想アドレスがキャッシュに登録されているべきものか否かを判断して、キャッシュ可であればS123でNビット=0としてTLB5へ登録し、SRAM等の高速メモリであればDRAM等の低速メモリのためにキャッシュを提供した方がよいので、S124でNビット=1としてTLB5へ登録する。すなわち、図4で示すように、新しい仮想アドレスをTLB5へ登録する時、その仮想アドレスに対応する実アドレスがどのようなメモリに割り当てられるかをメモリ構成情報レジスタ6の開始アドレス611、621、631とメモリ容量612、622、632を参照することによって確認し、そして割り当てられるメモリのメモリ属性613、623、633を調べ、その結果をTLB5の新しく登録するエントリのNビットへ反映させる。メモリ属性として例えば高速と低速の2種類があるとすれば、高速のメモリ属性を持つ場合はキャッシュメモリを利用する必要はないのでNビットを1に設定し、低速のメモリ属性を持つ場合はキャッシュメモリを利用してアクセスの高速化を図る必要があるためNビットを0に設定することになる。

【0014】

【発明の効果】以上のようにこの発明によれば、アドレス変換バッファとメモリの構成情報レジスタとを備えて、内蔵メモリの属性によりキャッシュまたは直接メモリアクセスを使い分けるので、メモリの使用領域を自由に変更しながら演算速度を上げる効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるメモリ内蔵プロセッサの構成を示す図である。

【図2】 実施の形態1におけるマイクロプロセッサの動作を示すフロー図である。

【図3】 実施の形態1におけるTLB更新動作を示すフロー図である。

【図4】 実施の形態1におけるメモリ構成情報レジスタ6の詳細とTLBへのエントリ動作を説明する図である。

【図5】 従来のメモリの使用領域を変更できる外部メモリに対するアドレス変換回路の構成と動作を説明する図である。

【符号の説明】

1 マイクロプロセッサ(CPU)、2 命令キャッシュユニット、3 データキャッシュユニット、4 メモリ管理ユニット、5 アドレス変換バッファ(TLB)

(4)

特開2001-256108

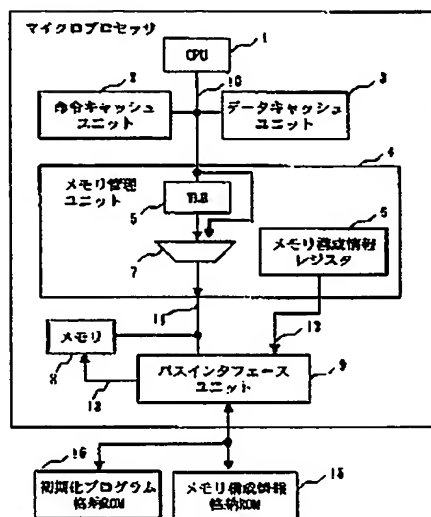
5

6

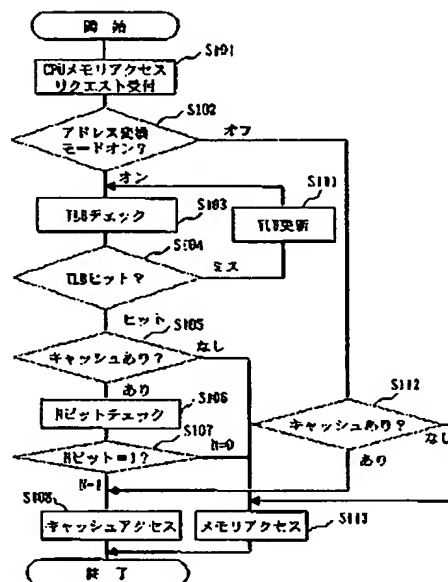
B). 6 メモリ構成情報レジスタ、7 アドレスセレクト、8 内蔵メモリ、9 バスインタフェースユニット、10 プロセッサ・バス、11 メモリ・バス、12

*2 アドレスデコード信号線、13 メモリ・チップセレクト信号線、14 拡張バス、15 メモリ構成情報格納ROM、16 初期化プログラム格納ROM。

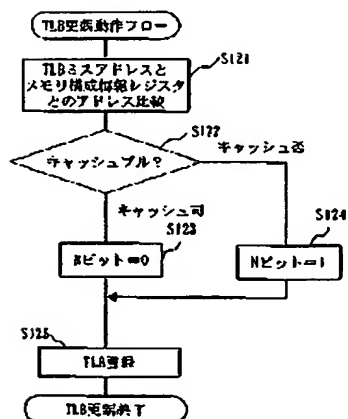
【図1】



【図2】



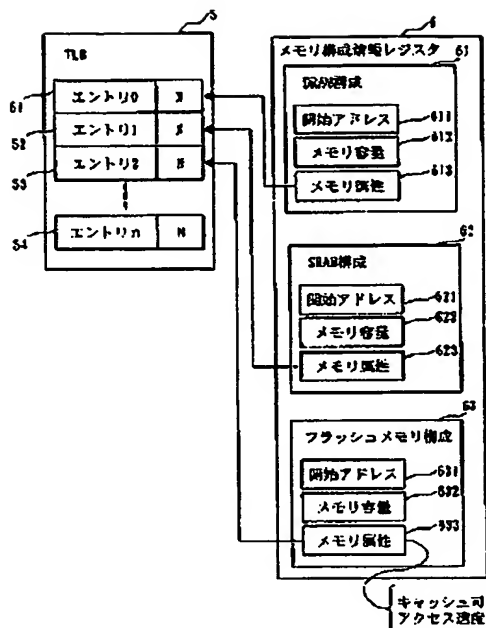
【図3】



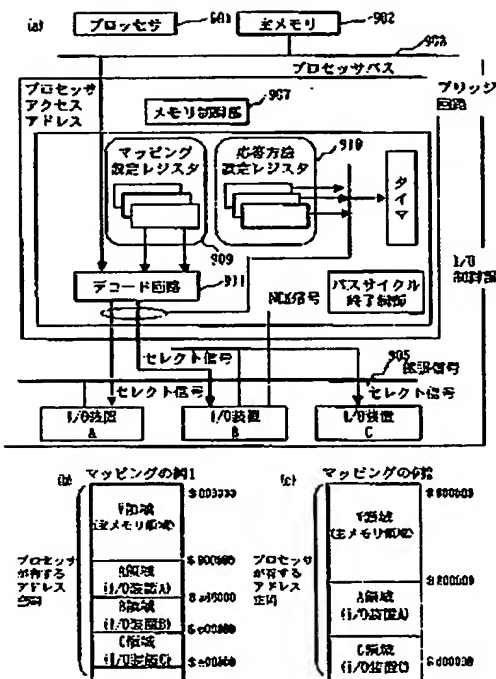
(5)

特開2001-256108

【図4】



【図5】



フロントページの続き

(51)Int.Cl.
G06F 15/78識別記号
510FI
G06F 15/78ターマード (参考)
510G